

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020094505 A  
(43)Date of publication of application: 18.12.2002

(21)Application number: 1020010032769  
(22)Date of filing: 12.06.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: CHOI, JEONG DAL  
HUH, SEONG HOE  
LEE, CHANG HYEON

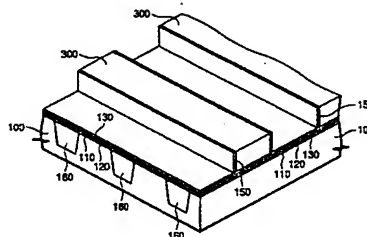
(51)Int. Cl. H01L 27/115  
H01L 21/8247  
H01L 29/788

(54) NON-VOLATILE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A non-volatile memory device and a method for fabricating the same are provided to form the non-volatile memory device of an SONOS(Silicon-Oxide-Nitride-Oxide-Semiconductor) structure by forming a tunnel oxide layer of uniform thickness on a lower part of a gate conductive layer pattern.

CONSTITUTION: An isolation layer pattern(160) is formed on a semiconductor substrate(100) in order to define an active region. The isolation layer pattern(160) and the active region are covered by a tunnel oxide layer(110), a nitride layer(120), and a blocking oxide layer(130). A plurality of parallel gate conductive layers pattern(300) are formed on the blocking oxide layer(130). A sidewall of the gate conductive layer pattern(300) is covered by a sidewall thermal oxide layer(150). The tunnel oxide layer(110), the nitride layer(120), and the blocking oxide layer(130) are covered on a whole surface of the semiconductor substrate(100). The blocking oxide layer(130) between the gate conductive layer patterns(300) can be removed. The gate conductive layer patterns(300) is formed with a stacked polysilicon layer and a silicide layer.



&copy; KIPO 2003

Legal Status

Final disposal of an application (application)

특 2002-0094505

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/115  
H01L 21/8247  
H01L 29/788

(11) 공개번호 특2002-0094505  
(43) 공개일자 2002년12월18일

(21) 출원번호 10-2001-0032769  
(22) 출원일자 2001년06월12일  
(71) 출원인 삼성전자 주식회사  
경기 수원시 팔달구 매탄3동 416번지  
(72) 발명자 미창현  
경기도용인시기흥읍농서리산24번지  
최정달  
경기도수원시팔달구영통동청명마을동신아파트316동1002호  
허성희  
서울특별시강남구도곡동도곡현대아파트2동705호  
(74) 대리인 임창현, 권혁수

심사청구 : 있음

(54) 비휘발성 메모리 소자 및 그 제조방법

요약

비휘발성 메모리 소자 및 그 제조방법을 제공한다. 이 메모리 소자는 반도체기판에 형성되어 소자활성영역을 한정하는 소자분리막 패턴, 소자활성영역의 상부를 가로지르는 복수개의 게이트도전막 패턴 그리고 각 게이트도전막 패턴 및 소자활성영역 사이에 차례로 적층된 터널산화막, 절화막 및 플로킹산화막을 포함한다. 게이트도전막 패턴 사이의 소자활성영역은 적어도 터널산화막 및 절화막에 의해 덮여지는 특징을 가진다. 이 메모리 소자의 제조방법은 반도체기판에 소자활성영역을 한정하는 소자분리막 패턴을 형성하고, 소자분리막 패턴을 포함하는 반도체기판 전면에 터널산화막, 절화막 및 플로킹산화막을 형성하고, 플로킹산화막 상에 게이트도전막을 형성한 후 패턴화하여, 소자활성영역을 가로지르는 복수개의 게이트도전막 패턴을 형성하는 단계를 포함한다. 또는 반도체기판 전면에 터널산화막, 절화막 및 플로킹산화막을 차례로 형성한 후, 자기정렬 트렌치 기술을 사용하여 소자분리막 패턴을 형성하고, 소자분리막 패턴을 가로지르는 게이트도전막 패턴을 형성하는 방법을 사용할 수도 있다. 위 두가지 경우 모두에 있어서, 게이트도전막 패턴을 형성하는 단계는 적어도 게이트도전막 패턴 사이의 터널산화막 및 절화막이 잔존하도록 실시한다. 그 결과, 게이트패턴을 형성한 후 실시하는 열공정에도, 게이트도전막 패턴 하부의 터널산화막은 균일한 두께를 유지할 수 있다.

도면

도 1

도 2

도 3a, 도 4a, 도 3b 및 도 4b

도 1은 종래 기술에 따른 비휘발성 메모리 소자를 나타내는 단면도들이다.

도 2는 일반적인 비휘발성 메모리의 평면도이다.

도 3a, 도 4a, 도 3b 및 도 4b는 본발명의 바람직한 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 나타내는 단면도들이다.

도 5a, 도 6a, 도 5b 및 도 6b는 본발명의 바람직한 다른 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 나타내는 단면도들이다.

도 7 및 도 8은 본발명에 따른 비휘발성 메모리 소자를 나타내는 사시도들이다.

발명의 상세한 설명

발명의 목적

**본 발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.

비휘발성 메모리는 다양한 구조로 형성될 수 있으며, 그중 하나가 SONOS (silicon-oxide-nitride-oxide-semiconductor) 구조의 비휘발성 메모리이다.

도 1은 종래기술에 따른 SONOS 구조의 비휘발성 메모리 소자를 나타내는 단면도이다.

도 1을 참조하면, 반도체 기판(10)에 소자활성영역을 한정하는 소자분리막 패턴(도시하지않음)이 배치된다. 상기 소자활성영역을 가로질러 터널산화막(20), 질화막(30), 플로팅산화막(40) 및 게이트도전막 패턴(50)이 차례로 적층된 게이트패턴 (90)이 배치된다. 또한 상기 게이트패턴(90)을 사이의 소자활성영역은 노출된다.

상기 SONOS 구조의 비휘발성 메모리에서 전하는 상기 게이트도전막 패턴(90)과 상기 반도체기판(10) 사이의 전압차에 의해, 상기 터널산화막(20)을 통과하여 상기 질화막(30)에 주입 또는 방출된다. 상기 질화막(30)에 주입 또는 방출된 전하는 셀의 문턱전압을 변화시키게 되고, 이것이 SONOS 구조 메모리의 동작원리이다. 상기 플로팅산화막(40)은 상기 게이트도전막 패턴(50)으로부터 상기 질화막(30)으로의 전하 흐름을 방지한다.

상기 SONOS 구조의 비휘발성 메모리는 도전성 물질로 부유게이트를 구성하는 일반적인 플래시 메모리와 비교할때, 상기 절연성의 질화막(30)을 사용하는 것을 특징으로 한다. 이로인해 부유게이트 형성공정이 필요하지 않기때문에, 수직방향의 높이가 낮아지며 제조공정이 단순해지는 장점이 있다.

상기 게이트 패턴(90)을 형성하는 과정에서 발생하는 식각 손상을 치유하기 위해, 열산화공정을 진행하여 상기 게이트도전막 패턴(50)의 측벽에 측벽열산화막(60)을 형성한다. 이때, 상기 게이트패턴(90) 사이의 소자활성영역 및 상기 터널산화막(20)의 측벽이 노출되므로, 상기 열산화 공정에 의해 상기 터널산화막(20)의 가장자리가 두꺼워지는 버즈빅(bird's beak) 현상이 발생하게 된다. 이러한 현상은 소자의 동작 속도 및 내구성 등을 악화시키고, 셀 문턱전압의 분포를 넓게 만드는 결과를 초래한다.

**본 발명이 이루고자하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 게이트도전막 패턴 하부에 균일한 터널산화막을 갖는 SONOS 구조의 비휘발성 메모리 소자를 제공하는데 있다.

본 발명이 이루고자 하는 또다른 기술적 과제는 게이트도전막 패턴 하부의 터널산화막이 균일한 두께를 갖도록 하는 SONOS 구조의 비휘발성 메모리 소자의 형성 방법을 제공하는데 있다.

**본 발명의 구성 및 작용**

상기한 기술적 과제를 달성하기 위하여, 본 발명은 게이트도전막 패턴 사이에 질화막을 갖는 비휘발성 메모리 소자를 제공한다. 이 비휘발성 메모리 소자는 반도체기판에 형성되어 소자활성영역을 한정하는 소자분리막 패턴, 상기 소자활성영역 및 상기 소자분리막 패턴의 상부를 가로지르는 게이트도전막 패턴 및 상기 게이트도전막 패턴 및 상기 소자활성영역 사이에 차례로 적층된 터널산화막, 질화막 및 플로팅산화막을 포함한다. 상기 게이트도전막 패턴을 사이의 소자활성영역은 적어도 상기 터널산화막 및 상기 질화막이 연장된 물질막들에 의해 덮여지는 특징을 가진다.

상기 게이트도전막 패턴을 사이의 상기 소자분리막 패턴은 적어도 상기 터널산화막 및 상기 질화막이 연장된 물질막들에 의해 덮여진다.

상기 게이트도전막 패턴은 상기 소자활성영역 및 상기 소자분리막 패턴을 가로지르는 제 2 도전막 패턴과 상기 제 2 도전막 패턴 및 상기 플로팅산화막 사이에 개재되는 제 1 도전막 패턴으로 구성될 수도 있다. 이때, 상기 소자분리막 패턴은 상기 제 2 도전막 패턴과 직접적으로 접촉하는 특징을 갖는다.

상기한 다른 기술적 과제를 달성하기 위하여, 본 발명은 게이트도전막 패턴 사이에 적어도 질화막이 남도록 하는 비휘발성 메모리 소자 제조방법을 제공한다. 그 제조방법은 반도체기판에 소자활성영역을 한정하는 소자분리막 패턴을 형성하는 것을 포함한다. 상기 소자분리막 패턴을 포함하는 반도체기판 전면에 터널산화막, 질화막 및 플로팅산화막을 차례로 형성한다. 상기 플로팅산화막을 포함하는 반도체기판 전면에 게이트도전막을 형성하고, 상기 게이트도전막을 식각하여 상기 소자활성영역을 가로지르는 게이트도전막 패턴을 형성한다.

상기 게이트도전막 패턴을 형성하는 단계는 적어도 상기 게이트도전막 패턴을 사이의 상기 터널산화막 및 상기 질화막이 잔존하도록 식각하는 것을 특징으로 한다. 상기 게이트도전막 패턴의 측벽에 측벽열산화막을 더 형성할 수도 있다.

본 발명의 다른 양태에 따르면, 자기정렬 트렌치 기술을 사용하는 비휘발성 메모리 소자의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 터널산화막, 질화막, 플로팅산화막, 제 2 도전막 및 연마저지막을 적층한 후, 이들 층을 연속적으로 식각하여 상기 반도체기판에 트렌치 영역을 형성하는 것을 포함한다. 상기 트렌치 영역 내에 소자분리막 패턴을 형성한다. 상기 연마저지막을 제거하고, 그 결과를 전면에 제 2 도전막을 형성한다. 그 후, 상기 제 2 도전막 및 상기 제 1 도전막을 연속적으로 패터닝하여, 상기 소자활성영역을 가로지르는 제 2 도전막 패턴을 형성함과 동시에 상기 제 2 도전막 패턴 및 플로팅산화막 사이에 개재된 제 1 도전막 패턴을 형성한다.

상기 제 1 및 제 2 도전막 패턴을 형성하는 단계는 상기 제 2 도전막 패턴을 사이의 상기 소자활성영역 상에 적어도 상기 터널산화막 및 상기 질화막이 잔존하도록 식각하는 것을 특징으로 한다. 상기 제 1 및

제 2 도전막 패턴의 측벽에 측벽열산화막을 더 형성할 수도 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

도 2는 일반적인 플래시 메모리에 대한 평면도를 나타낸다.

도 2를 참조하면, 반도체기판에 소자활성영역(200)을 한정하는 소자분리막 패턴(160)이 일방향으로 배치된다. 상기 반도체기판 상에는 상기 소자활성영역(200) 및 상기 소자분리막 패턴(160)을 수직하게 가로지르는 복수개의 게이트도전막 패턴(300)이 배치된다.

도 3a, 도 3b, 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 단면도들이다. 도 3a 및 도 4a는 도 2의 1-1'에 따라 취해진 단면도들이고, 도 3b 및 도 4b는 도 2의 2-2'에 따라 취해진 단면도들이다.

도 3a 및 도 3b를 참조하면, 반도체기판(100)에 소자활성영역을 한정하는 소자분리막 패턴(160)을 형성한다. 상기 소자분리막 패턴(160)은 통상의 트렌치 소자분리방법에 따라 형성된다. 상기 소자분리막 패턴(160)의 상부면은 상기 소자활성영역의 상부면보다 더 높을 수도 있으나, 그러한 높이의 차이는 최소화되는 것이 바람직하다.

상기 소자분리막 패턴(160)을 포함하는 반도체기판 전면에 차례로 적층된 터널산화막(110), 절화막(120), 플로팅산화막(130) 및 게이트도전막(140)을 형성한다. 상기 터널산화막(110)은 두께가 20 ~ 60 Å인 실리콘산화막으로 형성하고, 상기 절화막(120)은 두께가 60 ~ 100 Å인 실리콘절화막으로 형성하고, 상기 플로팅산화막(130)은 두께가 40 ~ 120 Å인 실리콘산화막으로 형성하는 것이 바람직하다. 또한 상기 게이트도전막(140)은 차례로 적층된 다결정실리콘막 및 실리콘사이드막으로 형성하는 것이 바람직하고, 이에 더하여 상기 실리콘사이드막 위에 실리콘절화막을 더 적층할 수도 있다.

도 4a 및 도 4b를 참조하면, 상기 게이트도전막(140)을 식각하여 상기 소자분리막 패턴(160)을 가로지르는 게이트도전막 패턴(300)을 형성한다. 상기 게이트도전막(140)을 식각하는 공정은 상기 게이트도전막 패턴(300) 사이에 상기 플로팅산화막(130)이 남도록 실시하는 것이 바람직하다. 경우에 따라선, 상기 플로팅산화막(130)이 식각될 수도 있으나, 이 경우에도 상기 절화막(120)은 잔존하도록 상기 식각공정을 진행해야 한다. 이를 위하여, 상기 식각공정은 실리콘산화물에 대해 높은 식각선택비를 갖는 레시프로 실시하는 것이 바람직하다.

상기 게이트도전막 패턴(300)을 형성하기 위한 식각 공정은 이방성 식각의 방법이 바람직하다. 상기 이방성 식각 공정에 의해 상기 게이트도전막 패턴(300)의 측벽에 발생하는 손상을 치유하기 위한 열산화공정을 수행한다. 상기 열산화공정의 결과, 상기 게이트도전막 패턴(300)의 측벽에 측벽열산화막(150)이 형성된다.

상기 절화막(120)에 의해, 상기 게이트도전막 패턴(300)을 사이 영역에서 산소는 더이상 상기 터널산화막(110)까지 침투할 수 없게 된다. 그 결과, 종래기술에서와 같이 터널산화막(20)의 가장자리가 두꺼워지는 버즈빅 현상은 방지된다.

상기 측벽열산화막(150)이 형성된 반도체기판에 대해 상기 게이트도전막 패턴(300)을 이온주입 마스크로 사용하여 불순물 주입공정을 실시한다. 그 결과, 상기 게이트도전막 패턴들(300) 사이의 소자활성영역에 접합영역(170)이 형성된다. 종래기술의 경우 상기 불순물 주입공정은 채널링등의 현상을 방지하기 위해 실리콘산화막을 상기 반도체기판 상에 더 형성한 후 진행되는 것이 일반적이다. 본 발명의 경우 상기 터널산화막(110), 상기 절화막(120) 및 상기 플로팅산화막(130)이 상기 채널링을 방지하는 역할을 하게되는 장점이 있다.

도 5a 및 도 6a는 본 발명의 또다른 실시예에 따른 비휘발성 메모리 소자의 도 2의 1-1'에서의 단면을 나타낸다. 도 5b 및 도 6b는 본 발명의 또다른 실시예에 따른 비휘발성 메모리 소자의 도 2의 2-2'에서의 단면을 나타낸다.

도 5a 및 도 5b를 참조하면, 반도체기판(100) 상에 터널산화막(110), 절화막(120), 플로팅산화막(130)을 차례로 적층한다. 상기 터널산화막(110), 상기 절화막(120) 및 상기 플로팅산화막(130)은 상기 도 3a, 도 3b, 도 4a 및 도 4b에서와 동일한 방법 및 물질로 형성된다. 이에 더하여, 상기 플로팅산화막(130) 상에 차례로 적층된 제 1 도전막(180) 및 연마저지막(190)을 더 형성한다. 그 후, 상기 연마저지막(190), 상기 제 1 도전막(180), 상기 플로팅산화막(130), 상기 절화막(120), 상기 터널산화막(110) 및 상기 반도체기판(100)을 차례로 식각하여, 상기 반도체기판(100) 내에 소자활성영역을 한정하는 트렌치 영역을 형성한다.

상기 트렌치가 형성된 반도체기판 전면에 소자분리막을 형성한다. 상기 소자분리막을 전면식각하여 상기 연마저지막(190)을 노출시킴으로써, 소자분리막 패턴(161)을 형성한다. 상기 소자분리막 패턴(161)은 상기 트렌치 영역을 채우되, 상기 연마저지막(190)의 상부면까지 연장된 특징을 갖는다.

도 6a 및 도 6b를 참조하면, 상기 노출된 연마저지막(190)을 제거한 후, 그 결과물 전면에 제 2 도전막을 형성한다. 상기 제 2 도전막 및 상기 제 1 도전막(180)을 차례로 식각하여 상기 소자활성영역 및 소자분리막 패턴(161)을 가로지르는 제 2 도전막 패턴(210)을 형성한다. 이에 따라, 상기 제 2 도전막 패턴(210) 및 상기 소자활성영역 사이에 섬 형태의 제 1 도전막 패턴(181)이 형성된다. 여기서 상기 제 1 도전막 패턴(181) 및 상기 제 2 도전막 패턴(210)은 게이트도전막 패턴(300)을 구성한다. 상기 식각공정 역시 상기 게이트도전막 패턴(300) 사이의 플로팅산화막이 남도록 진행하는 것이 바람직하다. 또는 적어도 상기 절화막(120)은 남도록 진행되어야 하고, 그 방법은 상기 도 3a, 도 3b, 도 4a 및 도 4b에서 설명한 것과 동

알한다.

상기 게이트도전막 패턴(300)을 포함하는 반도체기판에 대하여 열산화공정을 진행함으로써, 상기 게이트도전막 패턴(300)의 측벽에 측벽열산화막(151)을 형성한다. 상기 열산화공정의 경우에도, 도 4a에서 설명한 바와 같이, 상기 터널산화막(110)의 가장자리가 두꺼워지는 버즈빅 현상은 상기 질화막(120)에 의해 방지된다.

도 4a에서 설명한 바와 동일하게, 상기 측벽열산화막(151)이 형성된 반도체기판에 대해 불순물 주입공정을 실시하여 접합영역(170)을 형성한다.

도 7은 도 3a, 도 3b, 도 4a 및 도 4b에서 설명한 방법에 따라 제작된 비휘발성 메모리 소자를 나타내는 사시도이다.

도 7을 참조하면, 반도체기판(100)에 소자활성영역을 한정하는 소자분리막 패턴(160)이 일방향으로 배치된다. 상기 소자분리막 패턴(160) 및 상기 소자활성영역은 차례로 적층된 터널산화막(110), 질화막(120) 및 플로팅산화막(130)에 의해 덮여진다. 상기 플로팅산화막(130) 상에는 상기 소자활성영역 및 상기 소자분리막 패턴(160)을 가로지르는 복수개의 평행한 게이트도전막 패턴(300)이 배치된다. 상기 게이트도전막 패턴(300)의 측벽은 측벽열산화막(150)에 의해 덮여진다.

상기 결과물에서 상기 터널산화막(110), 상기 질화막(120) 및 상기 플로팅산화막(130)은 반도체기판 전면을 덮는 특징을 갖는다. 다만, 상기 게이트도전막 패턴(300)들 사이에서는 상기 플로팅산화막(130)은 제거될 수도 있지만, 적어도 상기 질화막(120)은 잔존한다.

상기 게이트도전막 패턴(300)은 차례로 적층된 폴리실리콘막 및 실리사이드막으로 형성되는 것이 바람직하고, 이에 더하여 상기 실리사이드막 상부에 실리콘질화막이 더 형성될 수도 있다.

도 8은 상기 도 5a, 도 5b, 도 6a 및 도 6b에서 설명한 방법에 따라 제작된 비휘발성 메모리 소자를 나타내는 사시도이다.

도 8을 참조하면, 반도체기판(100)에 소자활성영역을 한정하는 소자분리막 패턴(161)이 일방향으로 배치된다. 상기 소자활성영역은 차례로 적층된 터널산화막(110), 질화막(120) 및 플로팅산화막(130)으로 덮여진다. 상기 소자분리막 패턴(161) 상부에는 상기 소자활성영역 및 상기 소자분리막 패턴(161)을 가로지르는 제 2 도전막 패턴(210)이 배치된다.

상기 제 2 도전막 패턴(210)과 상기 소자활성영역이 교차하는 영역에는 제 1 도전막 패턴(181)이 배치되는데, 상기 제 1 도전막 패턴(181)은 상기 제 2 도전막 패턴(210)과 상기 플로팅산화막(130) 사이에 개재된다. 또한 상기 소자분리막 패턴(161)은 적어도 상기 제 1 도전막 패턴(181)의 상부면까지 연장된다. 그 결과, 상기 제 2 도전막 패턴(210)은 상기 제 1 도전막 패턴(181) 및 상기 소자분리막 패턴(161)의 상부면을 덮게 된다. 상기 제 1 도전막 패턴(181) 및 상기 제 2 도전막 패턴(210)의 측벽에는 측벽열산화막(151)이 형성된다.

상기 제 1 도전막 패턴(181)은 폴리실리콘으로 형성되는 것이 바람직하고, 상기 제 2 도전막 패턴(210)은 차례로 적층된 폴리실리콘 및 실리사이드로 형성되는 것이 바람직하다. 또한 상기 제 2 도전막 패턴(210)은 그 상부에 실리콘질화막을 더 포함할 수도 있다. 여기서 상기 제 1 도전막 패턴(181) 및 상기 제 2 도전막 패턴(210)은 게이트도전막 패턴(300)을 구성한다.

상기 결과물을 상기 도 7에서 설명한 구조와 비교한다면, 상기 소자활성영역 상에 차례로 적층된 상기 터널산화막(110), 상기 질화막(120) 및 상기 플로팅산화막(130)은 상기 제 1 도전막 패턴(181)의 상부면까지 연장된 상기 소자분리막 패턴(161)에 의해 한정되는 특징을 가진다. 또한 도 7에서와 마찬가지로 상기 제 2 도전막 패턴(210) 사이에서 상기 터널산화막(110)은 상기 질화막(120) 및 상기 플로팅산화막(130)에 의해 덮여지거나 상기 질화막(120)에 의해서만 덮여지는 특징을 갖는다.

#### 발명의 효과

본 발명은 소자활성영역이 터널산화막, 질화막 및 플로팅산화막에 의해 덮인 SONOS 구조의 비휘발성 메모리 소자 및 그 제조 방법을 제공하여, 게이트 패턴을 형성한 후에 실시하는 열산화공정에서 게이트도전막 패턴 하부의 터널산화막이 두꺼워지는 현상을 방지할 수 있다. 그 결과, 소자의 동작 속도, 소자의 안정성 및 셀 문턱전압의 균일성 등의 특성이 향상된다.

#### (57) 청구의 범위

청구항 1. 반도체기판의 소정영역에 형성되어 소자활성영역을 한정하는 소자분리막 패턴;

상기 소자활성영역 및 상기 소자분리막 패턴의 상부를 가로지르는 복수개의 평행한 게이트도전막 패턴; 및

상기 각 게이트도전막 패턴 및 상기 소자활성영역 사이에 차례로 적층된 터널산화막, 질화막 및 플로팅산화막을 포함하되, 상기 게이트도전막 패턴들 사이의 소자활성영역은 적어도 상기 터널산화막 및 상기 질화막이 연장된 물질막들에 의하여 덮여지는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 2. 제 1 항에 있어서,

상기 게이트도전막 패턴들 사이의 상기 소자분리막 패턴은 적어도 상기 터널산화막 및 상기 질화막이 연장된 물질막들에 의해 덮여지는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3. 제 1 항에 있어서,

상기 게이트도전막 패턴은 제 1 도전막 패턴 및 제 2 도전막 패턴을 포함하되, 상기 제 2 도전막 패턴은 상기 소자활성영역 및 상기 소자분리막 패턴을 가로지르고 상기 제 1 도전막 패턴은 상기 제 2 도전막 패턴 및 상기 블로킹산화막 사이에 개재되어 섬 형태를 갖는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 4. 제 3 항에 있어서,

상기 제 2 도전막 패턴은 상기 소자분리막 패턴과 직접적으로 접촉하는 것을 특징으로 하는 비휘발성 메모리소자.

청구항 5. 반도체기판에 소정영역에 소자분리막 패턴을 형성하여 소자활성영역을 한정하는 단계;

상기 소자분리막 패턴을 포함하는 반도체기판 전면에 터널산화막, 절화막 및 블로킹산화막을 차례로 형성하는 단계;

상기 블로킹산화막을 상에 게이트도전막을 형성하는 단계; 및

상기 게이트도전막을 패터닝하여 상기 소자활성영역 및 상기 소자분리막 패턴을 가로지르는 복수개의 평행한 게이트도전막 패턴을 형성하는 단계를 포함하되, 상기 게이트도전막을 패터닝하는 동안 상기 게이트도전막 패턴을 사이의 소자활성영역 및 소자분리막 패턴 상에 적어도 상기 터널산화막 및 상기 절화막을 잔존시키는 것을 특징으로 하는 비휘발성 메모리소자 제조방법.

청구항 6. 제 5 항에 있어서,

상기 게이트도전막 패턴들을 형성하는 단계 후에,

상기 게이트도전막 패턴들을 포함하는 반도체기판을 열산화시키는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자 제조 방법.

청구항 7. 반도체기판 상에 터널산화막, 절화막, 블로킹산화막, 제 1 도전막 및 연마저지막을 차례로 형성하는 단계;

상기 연마저지막, 상기 제 1 도전막, 상기 블로킹산화막, 상기 절화막, 상기 터널산화막 및 상기 반도체기판을 연속적으로 식각하여 트렌치 영역을 형성하는 단계;

상기 트렌치 영역 내에 소자분리막 패턴을 형성하는 단계;

상기 연마저지막을 제거하는 단계;

상기 연마저지막이 제거된 결과를 전면에 제 2 도전막을 형성하는 단계; 및

상기 제 2 도전막 및 상기 제 1 도전막을 연속적으로 패터닝하여 상기 소자분리막 패턴 및 상기 소자활성영역의 상부를 가로지르는 제 2 도전막 패턴을 형성함과 동시에 상기 제 2 도전막 패턴 및 상기 블로킹산화막 사이에 개재된 제 1 도전막 패턴을 형성하는 단계를 포함하되, 상기 제 1 및 제 2 도전막 패턴을 형성하는 동안 상기 제 2 도전막 패턴 사이의 소자활성영역 상에 적어도 상기 터널산화막 및 상기 절화막을 잔존시키는 것을 특징으로 하는 비휘발성 메모리소자 제조방법.

청구항 8. 제 7 항에 있어서,

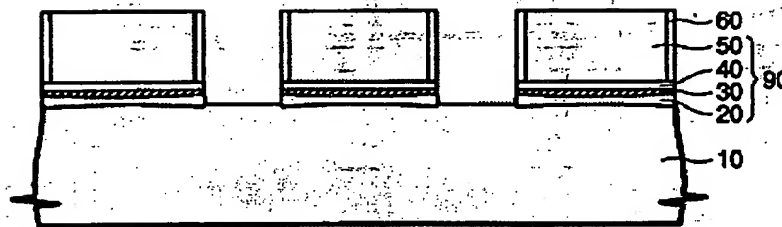
상기 제 1 및 제 2 도전막 패턴을 형성하는 단계 후에,

상기 제 1 및 제 2 도전막 패턴을 갖는 반도체기판을 열산화시키는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리소자.

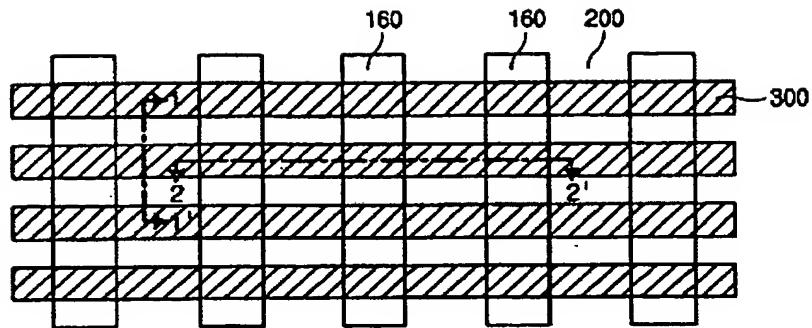
도면

도면

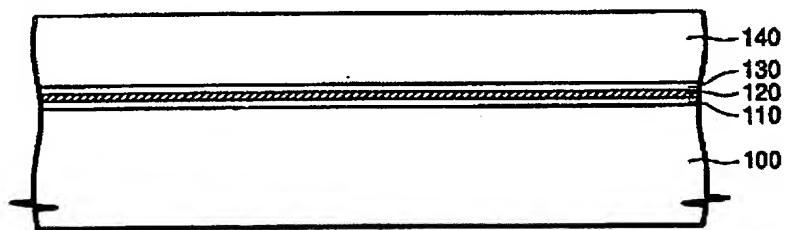
(종래 기술)



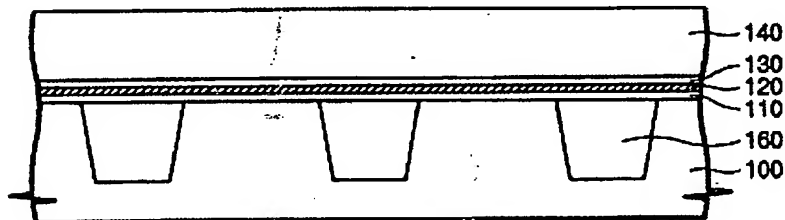
도 22



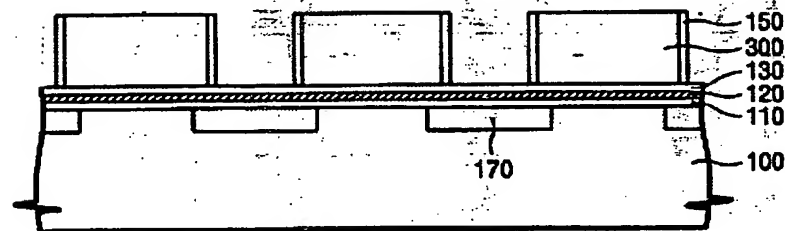
도 23a



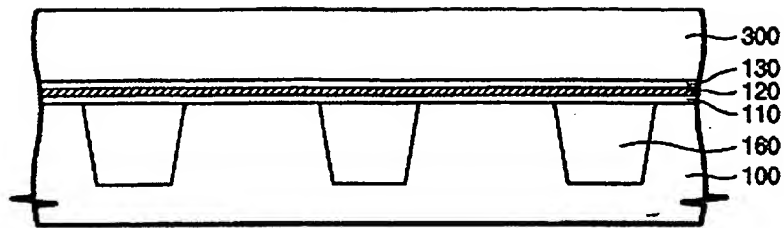
도 23b



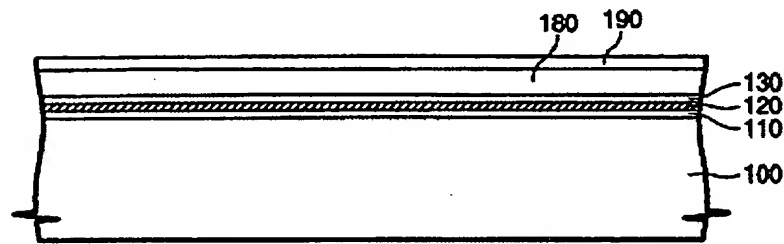
도 24a



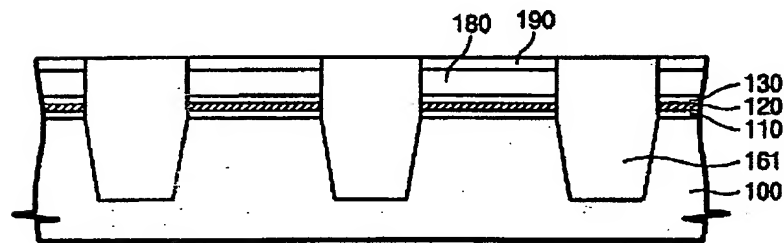
도 14b



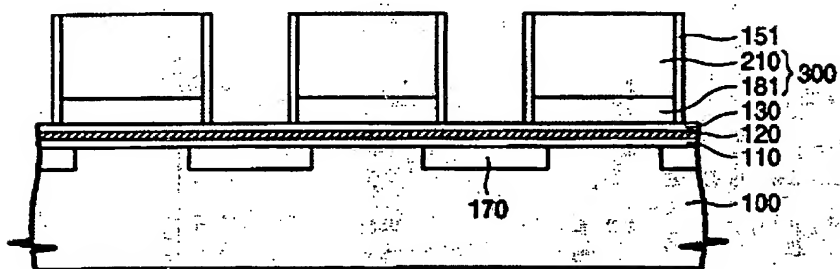
도 14c



도 14d

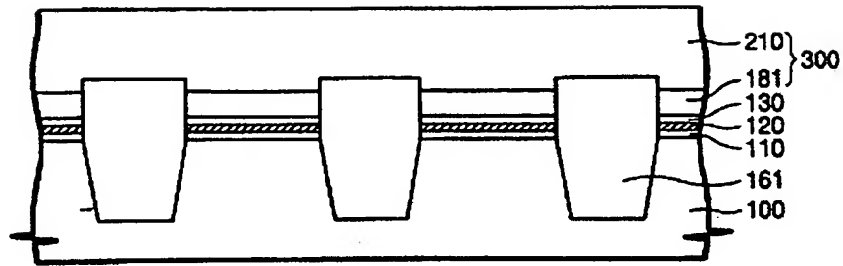


도 14e

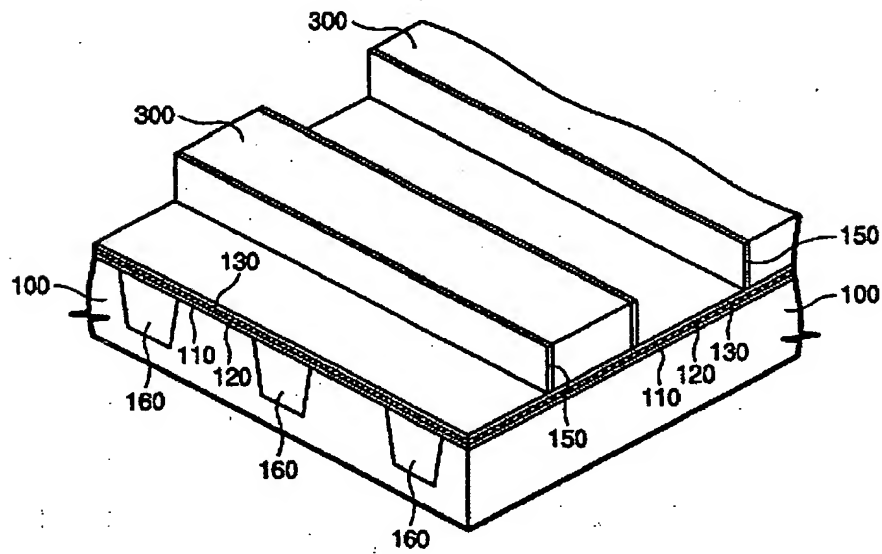




도 86



도 87



도 8B

